

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-176820

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 21/31
H01L 21/205
H01L 21/314

(21)Application number : 10-125545

(71)Applicant : NEC CORP

(22)Date of filing : 08.05.1998

(72)Inventor : MATSUBARA YOSHIHISA
IGUCHI MANABU
ENDO KAZUHIKO

(30)Priority

Priority number : 09275435

Priority date : 08.10.1997

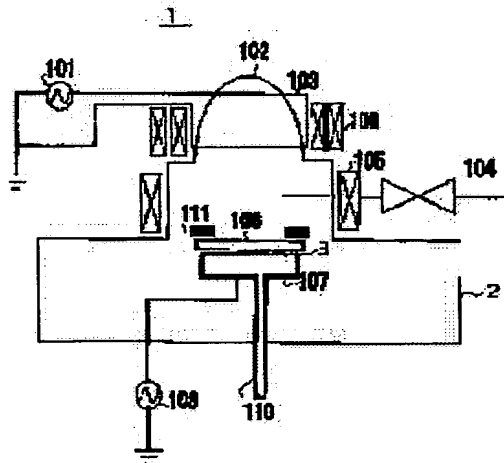
Priority country : JP

**(54) FILM FORMATION TREATING EQUIPMENT OF SEMICONDUCTOR DEVICE,
MANUFACTURE OF THE SEMICONDUCTOR DEVICE AND THIN-FILM FORMING METHOD OF
SEMICONDUCTOR**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide film formation treating equipment of a semiconductor device which is capable of preventing exfoliation of a silicon oxide film in the peripheral part of a silicon substrate, in a vapor deposition method, where a carbon based film and an insulating film such as a silicon oxide film and a nitride film are laminated and formed.

SOLUTION: In a chamber 2 of a film formation treating equipment 1, a holder part 107 for holding a substrate 106 to be treated, a ring-shaped member 111 which chucks the substrate 106 to be treated between the ring-shaped member 111 and the holder part 107, and a reaction gas supply means 104 for supplying a specified reaction gas are installed. The ring-shaped member 111 has dimensions such that the inner diameter is smaller than the outer diameter of the holder part 107, and the outer diameter is larger than that of the holder part 107 and is constituted so as to concentrically cover the peripheral part of the surface of the substrate 106 to be treated, which is mounted on the holder part 107, while film forming treatment by reaction gas is conducted.



BEST AVAILABLE COPY

BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

08.05.1998

[Date of sending the examiner's decision of
rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176820

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/31
21/205
21/314

H 0 1 L 21/31
21/205
21/314

C

A

審査請求 有 請求項の数18 O L (全 13 頁)

(21) 出願番号 特願平10-125545

(22) 出願日 平成10年(1998) 5月8日

(31) 優先権主張番号 特願平9-275435

(32) 優先日 平9(1997)10月8日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松原 義久

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 井口 学

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 速藤 和彦

東京都港区芝五丁目7番1号 日本電気株式会社社内

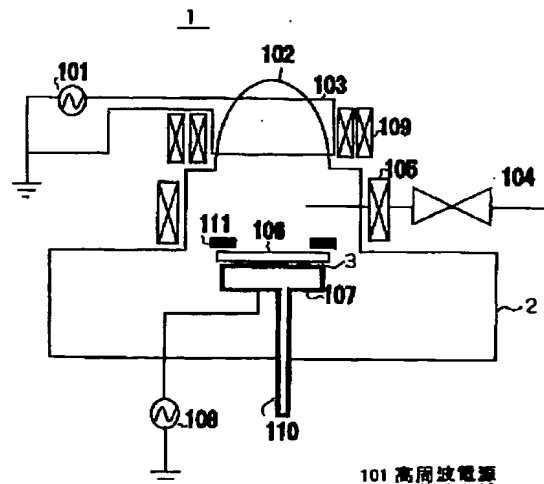
(74) 代理人 弁理士 畑 泰之

(54) 【発明の名称】 半導体装置の成膜処理装置、半導体装置の製造方法及び半導体の薄膜形成方法

(57) 【要約】

【課題】 炭素系膜および、シリコン酸化膜、窒化膜等の絶縁性膜を積層して形成する気相成長方法において、シリコン基板周辺部のシリコン酸化膜剥がれを防止する事が可能である半導体装置の成膜処理装置を提供する。

【解決手段】 成膜処理装置1のチャンパー2内には、被処理基板106を保持するホルダー部107、被処理基板106を当該ホルダー部107との間でチャックするリング状部材111、及び所定の反応ガスを供給する為の反応ガス供給手段104とが設けられており、リング状部材111は、その内径がホルダー部107の外径よりも小さく、且つその外径が当該ホルダー部107の外径よりも大きくなる様なディメンジョンを有し、当該リング状部材111は、反応ガスによる成膜処理が実行されている間、被処理基板107に搭載された被処理基板106の表面周縁部を同心円状に被覆する様に構成されている成膜処理装置1。



101 高周波電源
102 石英ベルジャー
103 アンテナ
104 原料ガス
105 永久磁石
106 試料
107 試料ホルダー
108 バイアス高周波電源
109 電磁石
110 水冷用冷却媒体
111 リング状部材

【特許請求の範囲】

【請求項 1】 半導体の製造工程に於いて使用される、被処理基板に炭素系層間膜等を形成する為のチャンバーを含む成膜処理装置であって、当該成膜処理装置の当該チャンバー内には、少なくとも、当該被処理基板を保持するホルダー部、当該ホルダー部の当該被処理基板を搭載する側の面と対向して設けられており、当該被処理基板を当該ホルダー部との間でチャックするリング状部材、及び所定の反応ガスを当該チャンバー内に供給する為の反応ガス供給手段とが設けられており、当該リング状部材は、その内径が当該ホルダー部の外径よりも小さく、且つその外径が当該ホルダー部の外径よりも大きくなる様なディメンジョンを有し、当該リング状部材は、該反応ガスによる成膜処理が実行されている間、当該被処理基板に搭載された被処理基板の表面周縁部を同心円状に被覆する様に構成されている事を特徴とする成膜処理装置。

【請求項 2】 当該ホルダー部が静電チャックで構成されているものである事を特徴とする請求項 1 記載の成膜処理装置。

【請求項 3】 当該リング状部材は、その一部にテーパ部が形成されている事を特徴とする請求項 1 又は 2 記載の成膜処理装置。

【請求項 4】 当該成膜処理は、CVD である事を特徴とする請求項 1 乃至 3 の何れかに記載の成膜処理装置。

【請求項 5】 当該炭素系層間膜は、フッ素含有炭素系層間膜である事を特徴とする請求項 1 乃至 4 の何れかに記載の成膜処理装置。

【請求項 6】 当該フッ素含有炭素系層間膜は、非晶質フッ化炭素系層間膜である事を特徴とする請求項 5 に記載の成膜処理装置。

【請求項 7】 当該成膜処理は、少なくとも基板上に当該炭素系層間膜と当該炭素系層間膜に積層される絶縁膜とを形成する処理である事を特徴とする請求項 1 乃至 6 の何れかに記載の成膜処理装置。

【請求項 8】 当該リング状部材は、少なくともクリーニング工程が実行される時点で、当該ホルダー部の表面に垂直な方向に移動可能である様に構成されている事を特徴とする請求項 1 乃至 7 の何れかに記載の成膜処理装置。

【請求項 9】 半導体の製造工程に於いて使用される、被処理基板に炭素系層間膜等を形成する為のチャンバーを含む成膜処理装置であって、当該成膜処理装置の当該チャンバー内には、少なくとも、当該被処理基板を保持するホルダー部、及び所定の反応ガスを当該チャンバー内に供給する為の反応ガス供給手段とが設けられており、当該ホルダー部は静電チャックで構成されており、且つ当該静電チャックの外周縁部に接続して、更に別の電極が設けられている事を特徴とする成膜処理装置。

【請求項 10】 当該別の電極には、バイアス電圧が印

加されている事を特徴とする請求項 9 記載の成膜処理装置。

【請求項 11】 半導体の製造工程に於いて使用される、被処理基板に絶縁膜等を形成する為、当該被処理基板を保持するホルダー部及び所定の反応ガスを内部に供給する為の反応ガス供給手段とを含むチャンバーが少なくとも 2 個設けられているマルチチャンバー装置であって、当該第 1 のチャンバーは炭素系層間膜の成膜に用いられるものであり、又第 2 のチャンバーは、シリコン酸化膜もしくはシリコン窒化膜の成膜に用いられるものであり、且つ当該第 2 のチャンバーのプラズマ密度が、当該第 1 のチャンバーのプラズマ密度より低いことを特徴とする半導体の製造装置。

【請求項 12】 当該第 1 のチャンバーに高密度プラズマ源が用いられ、少なくとも当該第 2 のチャンバーに平行平板型プラズマ源が用いられる事を特徴とする請求項 11 記載の半導体の製造装置。

【請求項 13】 半導体の製造工程に於いて使用される、被処理基板に絶縁膜等を形成する為、当該被処理基板を保持するホルダー部及び所定の反応ガスを内部に供給する為の反応ガス供給手段とを含むチャンバーが少なくとも 2 個設けられているマルチチャンバー装置であって、当該第 1 のチャンバーは炭素系層間膜の成膜に用いられるものであり、又第 2 のチャンバーは、シリコン酸化膜もしくはシリコン窒化膜の成膜に用いられるものであり、当該第 1 のチャンバーに平行平板型プラズマ源が用いられると共に、当該第 2 のチャンバーにも平行平板型プラズマ源が用いられる事を特徴とする半導体の製造装置。

【請求項 14】 被処理基板を保持するホルダー部及び所定の反応ガスを内部に供給する為の反応ガス供給手段とを含むチャンバーを使用して、当該被処理基板に少なくとも炭素系層間膜等を形成する方法に於て、当該被処理基板に対して反応ガスを供給して炭素系層間膜等を形成するに際し、当該被処理基板の外周縁部に当該炭素系膜が成膜しない様にして成膜処理を行う事を特徴とする半導体の製造方法。

【請求項 15】 当該ホルダー部に保持されている当該被処理基板の外周縁部に当接するリング状部材を設け、当該リング状部材が、当該ホルダー部に搭載された当該被処理基板をチャックする様に機能させ、当該リング状部材を、該反応ガスによる成膜処理が当該被処理基板に対して実行されている間、当該被処理基板の表面周縁部を同心円状に被覆する様にすることを特徴とする請求項 14 記載の半導体の製造方法。

【請求項 16】 当該被処理基板を保持している当該ホルダー部を静電チャックで構成すると共に当該静電チャックの外周縁部に接続して、更に別の電極を設け、当該別の電極にバイアス電圧を印加する事を特徴とする請求項 14 記載の半導体の製造方法。

【請求項17】 層間絶縁膜として、少なくとも炭素系層間膜とシリコン酸化膜もしくはシリコン窒化膜を有する半導体装置を形成するための薄膜形成方法において、被処理シリコン基板に炭素系絶縁膜を堆積させる領域が、シリコン酸化膜あるいはシリコン窒化膜を堆積させる領域よりも小さいことを特徴とする半導体の薄膜形成方法。

【請求項18】 層間絶縁膜として、少なくとも炭素系層間膜とシリコン酸化膜もしくはシリコン窒化膜を有する半導体装置を形成するための薄膜形成方法において、被処理シリコン基板上にシリコン酸化膜もしくはシリコン窒化膜を堆積するためのプラズマ源のプラズマ密度が、炭素系層間膜を堆積するプラズマ源よりも低いものを用いて成膜することを特徴とする半導体の薄膜形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体の製造工程に於ける成膜処理装置に関するものであり、特に詳しくは、シリコン酸化膜もしくはシリコン窒化膜と、炭素を主成分とする被膜形成を行う半導体の製造工程に於ける成膜処理装置及び半導体装置の製造方法等に関するものである。

【0002】

【従来の技術】近年、半導体超高集積回路LSIの高集積化に伴い、個別素子間を繋ぐ配線はより複雑になっている。配線の交差を避けるために配線を迂回するとチップ面積に占める配線の専有面積が増加する。さらに配線長も長くなるため、配線遅延も問題となる。

【0003】そこで、配線間に絶縁膜を挿入することで配線を多層化し、配線の交差箇所や重なりを防ぐ技術多層配線技術が一般的になっている。係る多層配線技術では、同一層の配線間容量および上下配線層間の配線間容量の低減が必須である。つまり配線間容量の増大は、配線遅延の原因となったり、層間絶縁膜を挟んで上下で隣接した2つの配線を共に高周波成分を含んだ信号が伝達される場合にはクロストークが生じ、誤動作の原因となる。

【0004】以上の技術的背景から、LSI技術で広く使用される絶縁膜である Si_3N_4 、比誘電率： $\epsilon_r \sim 7$ 、 SiO_2 、比誘電率： $\epsilon_r \sim 3.9$ などに替わる比誘電率 ϵ_r の小さい膜を層間絶縁性薄膜として用いることが検討されており、その一つとして非晶質弗化炭素膜が注目されている。たとえば特願平08-321694号公報においては、低誘電率材料として非晶質弗化炭素膜が用いられている。

【0005】当該炭素膜は酸素プラズマによって容易にエッチングされるためにレジストを利用した通常のスルーホール開口が出来ないことから、同報では非晶質弗化炭素膜の少なくとも上面にシリコン酸化膜、もしくは窒

化膜を成膜して、「シリコン酸化膜／炭素膜／シリコン酸化膜」あるいは、「シリコン窒化膜／炭素膜／シリコン窒化膜」積層構造とし、炭素膜上面のシリコン酸化膜、窒化膜は酸素プラズマに対するカバー膜であると共に、化学機械研磨(CMP)による平坦化絶縁膜としても利用されている。

【0006】ここで炭素膜を用いた半導体装置の製造方法の概略を図8を用いて説明する。まず配線金属801間に炭素膜802を堆積させる。C、F、等のフッ化炭素ガスを原料にして、プラズマ化学気相成長(CVD)により堆積させる。この時、基板に数十W程度のバイアス電力を印加することにより、微細な配線間に非晶質弗化炭素膜を埋め込むことができる。

【0007】また下地シリコン基板803、あるいは配線金属801と炭素膜802には、組成をシリコン過剰としたシリコン酸化膜を堆積させることで、密着力を向上させることができる。続いて炭素膜802上にシリコン酸化膜804を同様のプラズマCVDにより堆積させる。この時も炭素膜／シリコン酸化膜界面にはシリコン過剰のシリコン酸化膜を堆積させることで密着力を向上させることができる。

【0008】続いてシリコン酸化膜804上でCMPを行い、配線上部を平坦化する。さらに公知のリソグラフ手法を用いてシリコン酸化膜及び炭素膜をエッチングし、開口したビアホール807にアルミニウム等の公知のプラグ金属805を堆積させ、第2層の金属806を堆積させることで、多層配線を形成させる。勿論、これらの工程を繰り返すことにより、2層以上の配線を形成することができるのは言うまでもない。

【0009】ここで、一般的な非晶質弗化炭素膜やシリコン酸化膜の成膜装置の構成の一例を図6に示す。この装置においては下部電極を兼ねる試料ホルダー607の上にシリコンウエハー606（以下、表面の少なくとも一部にシリコンとは異なる何等かの材料がある場合をシリコンウエハーと呼ぶこととして、シリコン基板と区別する）を配置する。この具体例では試料ホルダー607として静電チャックを用いている。

【0010】一般に、水冷610された試料ホルダー607からシリコンウエハー606裏面へヘリウムガスを吹き付けることにより、熱伝導率を向上させ、基板の熱を試料ホルダー607側へ逃がすことにより、基板は冷却できる。試料ホルダー607にはプラズマ源とは独立に高周波バイアス用電源608を印加できる構造となっている。

【0011】この試料ホルダー607へ高周波を印加することにより実効的に負バイアスをシリコンウエハー606に印加でき、負バイアスによる、イオンエネルギーの制御を行うことができ、たとえば埋め込み特性の改善に用いられる。図6に示す従来の装置では、プラズマはヘリコン波によって生成するもので、プラズマ用高周波

電源601より高周波を石英チャンバー602の外周にはられたアンテナ603に導き、やはり石英チャンバー602外部に設置された永久磁石605、電磁石609の磁場を作用させて効率よく、石英チャンバー602内部でプラズマ発生させるものである。

【0012】むろん、炭素膜、あるいはシリコン酸化膜成膜のための放電形式は、ヘリコン波方式に限定されるわけではなく、現在まで電子サイクロトロン共鳴式、誘導結合式、容量結合式等の放電形式が成膜に用いられている。その他、半導体装置の成膜技術に関しては、例えば特開平4-368119号公報に記載されている様に、被処理基板付近の部材に付着する被膜類の剥がれ落ちを少なくする為に、被処理基板付近の部材の表面を粗面化する方法が示されているが、非晶質弗化炭素膜の熱分解による問題に付いては言及されていない。

【0013】又特開平6-208959号公報には、CVDによりタングステンの膜を形成する半導体装置の製造方法が開示されているが、非晶質弗化炭素膜を使用する技術に関しては言及がない。

【0014】

【発明が解決しようとする課題】従来に於いては、一般的には、炭素系薄膜、シリコン酸化膜、窒化膜等のCVD製造装置において、試料ホルダー607に、静電チャックタイプのホルダーを用いる場合は、いずれの場合も、その直径はシリコンウエハー606の直径よりも小さくしなければならない制約があった。

【0015】なぜなら、シリコンウエハー606の直径よりも大きな直径をもつ静電チャックタイプの試料ホルダー607を使用した場合、成膜処理が多数回繰り返され、それにつれて当該部材に蓄積する被膜が厚くなり、シリコンウエハー606の固定が困難になるばかりでなく、基板冷却効率が低下する問題を有していた。さらに高密度プラズマに静電チャックタイプの試料ホルダー607が晒される領域の試料ホルダー607表面温度が上昇し劣化する問題を有していた。

【0016】一方、静電チャックタイプの試料ホルダー607の直径がシリコン基板の直径よりも小さい場合は、高密度プラズマに試料ホルダー607が晒される領域を有していないので試料ホルダー607表面温度が上昇し劣化する問題を避けることができる。しかし、シリコンウエハー606の周辺部のみは試料ホルダー607が接触できないため、ウエハー最外周は冷却効率が低下する問題を有していた。

【0017】この様な試料ホルダーを用いて、シリコン酸化膜/炭素膜/シリコン酸化膜、或いは、シリコン窒化膜/炭素膜/シリコン窒化膜と言うような組合せからなる積層構造を作成する場合、通常は、まず、シリコン窒化膜あるいは酸化膜を堆積させ、その後、基板温度を約100℃程度として、炭素膜を成膜する。炭素膜の場合、埋め込み特性を向上させるために用いる基板バイア

スは50W以下であるので、冷却を受けない周辺部温度は約120℃程度の上昇で抑えられ、膜はウエハー全面に堆積される。

【0018】つぎに、炭素膜上にさらにシリコン窒化膜あるいは酸化膜を堆積させる。この時、良質な膜を堆積させるために、また埋め込み特性を向上させるために、高密度プラズマを用いて、しかも1kW程度のバイアス電力を印加して、基板温度を300℃程度に上昇させて成膜すると、シリコンウエハー606の周辺部は、非晶質弗化炭素膜の耐熱性温度のおよそ400℃よりも上昇する。

【0019】その結果、非晶質弗化炭素膜が分解し、その結果発生するガスによりシリコン酸化膜が剥がれるという問題を有していた。本発明の目的は、上記した従来技術の欠点を改良し、炭素系膜および、シリコン酸化膜、窒化膜等の絶縁性膜を積層して形成する気相成長方法において、シリコン基板周辺部のシリコン酸化膜剥がれを防止する事が可能である半導体装置の製造装置を提供するものであり、更には、被処理基板外周付近に付着する不所望な被膜の剥がれ落ちを少なくして、シリコン酸化膜剥がれの発生低減をはかる成膜処理装置或いは成膜方法を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明は上記した目的を達成する為、以下に示す様な基本的な技術構成を採用するものである。即ち、本発明に係る第1の態様としては、半導体の製造工程に於いて使用される、被処理基板に炭素系層間膜等を形成する為のチャンバーを含む成膜処理装置であって、当該成膜処理装置の当該チャンバー内には、少なくとも、当該被処理基板を保持するホルダー部、当該ホルダー部の当該被処理基板を搭載する側の面と対向して設けられており、当該被処理基板を当該ホルダー部との間でチャックするリング状部材、及び所定の反応ガスを当該チャンバー内に供給する為の反応ガス供給手段とが設けられており、当該リング状部材は、その内径が当該ホルダー部の外径よりも小さく、且つその外径が当該ホルダー部の外径よりも大きくなる様なディメンジョンを有し、当該リング状部材は、該反応ガスによる成膜処理が実行されている間、当該被処理基板に搭載された被処理基板106の表面周縁部を同心円状に被覆する様に構成されている成膜処理装置であり、又第2の態様としては、半導体の製造工程に於いて使用される、被処理基板に炭素系層間膜等を形成する為のチャンバーを含む成膜処理装置であって、当該成膜処理装置の当該チャンバー内には、少なくとも、当該被処理基板を保持するホルダー部、及び所定の反応ガスを当該チャンバー内に供給する為の反応ガス供給手段とが設けられており、当該ホルダー部は静電チャックで構成されており、且つ当該静電チャックの外周縁部に接続して、更に別の電極が設けられている成膜処理装置である。

【0021】更に、本発明に係る第3の態様としては、半導体の製造工程に於いて使用される、被処理基板に絶縁膜等を形成する為、当該被処理基板を保持するホルダー部及び所定の反応ガスを内部に供給する為の反応ガス供給手段とを含むチャンバーが少なくとも2個設けられているマルチチャンバー装置であって、当該第1のチャンバーは炭素系層間膜の成膜に用いられるものであり、又第2のチャンバーは、シリコン酸化膜もしくはシリコン窒化膜の成膜に用いられるものであり、且つ当該第2のチャンバーのプラズマ密度が、当該第1のチャンバーのプラズマ密度より低くなる様に設定された半導体の製造装置である。

【0022】

【発明の実施の形態】つまり、本発明に於ける共通的な技術思想としては、成膜処理装置に於て、高密度プラズマ源を使用して炭素系層間膜を成膜するに際し、少なくとも基板のへの部分でかつ、基板が基板ホルダーに接しないで冷却が行われない部位には、炭素膜が成膜されない様に成膜範囲を限定して成膜処理操作を実行する様にしたものである。

【0023】これにより、上層のシリコン酸化膜成膜時にウエハ周辺部位温度が上昇しても、分解生成物の発生を抑制することができ、周辺部剥がれを防止することができる。その為の具体例としては、上記した様に、当該被処理基板の外周縁部を成膜工程中に於て被覆するリング状部材を配置する方法、電極を兼ねるホルダー部とは別に当該ホルダー部の外周縁部に第2の電極を配置して、当該被処理基板の外周縁部に炭素膜が成膜されない様にする方法、更には、炭素系層間膜上へのシリコン酸化膜もしくはシリコン窒化膜の成膜において、プラズマ密度の低いプラズマ生成装置から構成される製造装置を用いて当該膜を炭素系膜上に堆積させる様にして、炭素系膜を最外周まで成膜した場合においても、基板最外周温度は炭素系膜の分解温度まで達することによって膜剥がれを防止することができる。

【0024】つまり、本発明に於いては、炭素系膜成膜装置において、シリコンウエハの周辺領域には炭素膜が成膜されないような装置構成或いはその成膜方法を提供するのである。上記した様に、本発明に於いて、当該被処理基板の周辺部に成膜されないようにするために、より具体的には、ウエハ周辺部上のみ、石英製のリング状の部材111を被せウエハ外周を覆う。リング状部材の外径は試料ホルダーの直径よりも大きく、内径はウエハの直径よりも小さく、これらをウエハと同心円状に配置する。係る構成を採用する事によって、堆積膜は一部リング状部材に付着し、外周部ではウエハ上には堆積されない。

【0025】また、他の具体例としては、ウエハ外周部のみリング状電極を設け、リング状電極に高周波電力を供給する。その結果、高周波電力により加速された

イオンが基板に照射され、基板外周部のみで、イオンによる堆積膜のスパッタリング作用が生じる。このスパッタリング速度と、膜の堆積速度が同等か、もしくはスパッタリング速度が高い場合、周辺部位への膜の堆積は見られなくなる。

【0026】あるいは、本願発明においては、炭素系膜堆積後の、シリコン酸化膜等のカバー膜成膜時の温度が炭素系膜の耐熱性を上回らないように構成された製造装置を用いる。例えば、上記した様に、スパッタリング密度を積極的に異ならせるスパッタリング手段を選択的に使用するものであり、係る方法によって炭素系膜の分解は起こらず、シリコンウエハ外周で容易に被膜片が剥がれるようなことはない。

【0027】

【実施例】以下に、本発明に係る半導体装置の成膜処理装置及び半導体装置の成膜処理方法の具体例の構成を図面を参照しながら詳細に説明する。即ち、図1は、本発明の一実施例による枚葉式CVD装置の全体構成を示す側面図であって、図中、半導体の製造工程に於いて使用される、被処理基板106に炭素系層間膜等を形成する為のチャンバー2を含む成膜処理装置1であって、当該成膜処理装置1の当該チャンバー2内には、少なくとも、当該被処理基板106を保持するホルダー部107、当該ホルダー部107の当該被処理基板106を搭載する側の面3と対向して設けられており、当該被処理基板106を当該ホルダー部107との間でチャックするリング状部材111、及び所定の反応ガスを当該チャンバー2内に供給する為の反応ガス供給手段104とが設けられており、当該リング状部材111は、その内径が当該ホルダー部107の外径よりも小さく、且つその外径が当該ホルダー部107の外径よりも大きくなる様なディメンジョンを有し、当該リング状部材111は、該反応ガスによる成膜処理が実行されている間、当該被処理基板107に搭載された被処理基板106の表面周縁部を同心円状に被覆する様に構成されている成膜処理装置1が示されている。

【0028】本発明に係る当該ホルダー部107の構成は特に限定されないが、例えば、静電チャックで構成されているものである事が望ましい。係る静電チャックを使用する事によって、上記した特開平6-208959号方法に於けるリングチャック方式とは異なり、当該ホルダー部107上に配置された被処理基板106と直接接触しない状態で該リング状部材111を所定の位置に配置させる事が可能となる。

【0029】本発明に於ける上記具体例に於ける、成膜手順を以下に説明する。即ち、被処理基板であるシリコンウエハ106をプラズマ生成室の前段にゲートバルブ（図示せず）により遮断されて設けられた準備室（図示せず）に導入し、準備室を真空引きしてゲートバルブを開いて高真空に維持されたプラズマ生成室にシリコン

ウェハー106を導入し、試料ホルダー107上に設置する。

【0030】その後、ゲートバルブを閉じてプラズマ生成室内の真空度が再び高真空になったら、 CF_4 、 C_2F_6 、 C_3F_8 等のフッ化炭素ガス、あるいは CH_4 、 C_2H_2 等炭化水素ガス、もしくはそれらの混合ガスを原料104とし、これら原料ガスをプラズマ生成室内に導入する。ここで、先のプラズマ生成用のアンテナ103に高周波あるいは直流電力を印加して放電させることで非晶質弗化炭素膜を成膜する。

【0031】一方シリコン酸化膜の成膜では原料ガス104として SiH_4 と O_2 を用いて、シリコン窒化膜では SiH_4 と N_2 もしくは NH_3 を用いて成膜する。尚、本発明で使用する半導体装置の成膜装置1はマルチクラスターと呼ばれ、例えば、図5のような成膜室501、502が2つ用意されたものを用いている。

【0032】つまり例えば一方の成膜室チャンバー501と呼称するもので非晶質弗化炭素膜を、他方チャンバー502と呼称するもので平坦化膜を成膜できるようにしており、シリコン酸化膜層と非晶質弗化炭素膜よりなる低誘電率層間絶縁膜が連続形成される様に構成されているので、単位時間当たりの成膜枚数を増大させ、非晶質弗化炭素膜成膜後、大気曝露をせずに当該非晶質弗化炭素膜の上部にシリコン酸化膜を成膜することが可能な装置である。

【0033】しかしながら、本発明はマルチクラスター型のみに限定される訳ではなく、非晶質弗化炭素膜とシリコン酸化膜、シリコン窒化膜が別々の製造装置で製造される場合にも適用可能である。本具体例の構成は、2つの高密度プラズマ源を有するチャンバー501、502で構成される低誘電率層間膜成膜装置の例である。本具体例では、非晶質弗化炭素膜の成膜チャンバー501におけるウェハ押さえ部の構成を従来の方法とは異ならせたものであり、その他の図6で説明されていると同様の構成を有しているものとする。

【0034】ここで、図2を用いて本具体例に於ける成膜処理装置の構成に付いて詳細に説明する。即ち、非晶質弗化炭素膜の成膜に用いる処理室内の基板設置台である試料ホルダー107に、6インチ・シリコンウェハー106を搭載するが、本具体例では、当該ホルダー部は、静電チャックで構成されており、当該静電チャックの試料ホルダー107を用いてシリコンウェハー106を保持固定する。

【0035】静電チャックの直径は、ウェハー106よりも10mm小さく、設定することが望ましく、その結果、ウェハー106の外周縁端から5mm内側までの部位は冷却は行われない事になる。つぎに、石英製のリング状部材111が設けてあり、シリコンウェハー106の周辺が覆われている。当該リング状部材111は、外径が6インチウェハー直径よりも100mm大きく、す

なわちウェハー端よりも50mm外に張り出し、内径はウェハー直径よりも14mm小さい。

【0036】すなわちリング状部材により、ウェハーの外周部から7mmまで内側の部位が覆われる。また部材の厚さは5mmとした。部材の厚さを5mmとしたのは、十分な機械強度を持たせるためであるが、むしろこの厚さに限定されるものではない。本具体例に於て当該リング状部材111を用いることにより、静電チャックの試料ホルダー107の直径よりも小さい領域のシリコンウェハー106上に非晶質弗化炭素膜を成膜できる。

【0037】当該リング状部材111は、当該被処理基板であるシリコンウェハー106と直接的に接触しても良いが、好ましくは、シリコンウェハー106と非接触の状態です定の位置に設定される事が望ましい。また、当該リング状部材の断面形状に関しては、特に限定されるものではないが、図3に示す様に、当該リング状部材111は、その一部例えば当該シリコンウェハー106に対向する面以外の面の何れかに、所定の角度、例えば45度の角度を持ったテーパー部が形成されている事も好ましい。

【0038】係るテーパー部は、供述するクリーニング工程に於て、当該リング状部材111に付着した炭素系物質を除去するのに有効である。又、本具体例に於て使用される当該リング状部材111は、当該シリコンウェハー106の主面に対して垂直な方向に移動可能に設定されていることが望ましく、特に当該シリコンウェハー106の当該ホルダー部107への搭載、排出操作或いはクリーニング工程に於ては、当該シリコンウェハー106の主面から離れる方向に移動出来るように構成されている事が望ましい。

【0039】この後、ゲートバルブを閉じてプラズマ生成室内の真空度が再び10⁻⁸トル以下になったら、原料ガス104をプラズマ生成室内に導入し、真空度を通常0.01~0.05トルに調節した。ここで先のプラズマ生成用のアンテナ103に13、56MHzの高周波を印加して放電させることで非晶質弗化炭素膜を成膜する。

【0040】本具体例では、図5に示す様に、図1のような成膜室が2つ用意されたものを用いており、一方の成膜室チャンバー501で非晶質弗化炭素膜を成膜し、他方チャンバー502でシリコン酸化膜もしくはシリコン窒化膜を成膜できるようにしている。これによりシリコン酸化膜層と非晶質弗化炭素膜よりなる低誘電率層間絶縁膜が連続形成される。チャンバー502でシリコン酸化膜を成膜する装置においては、静電チャックの試料ホルダー107は従来のものと同様のもので良い。

【0041】本具体例に於いては、非晶質弗化炭素膜が周辺に成膜されていないので、シリコン酸化膜成膜において、周辺部の冷却が出来ない領域が非晶質弗化炭素膜の耐熱性である400度以上の高温になったとしても、

この領域には非晶質弗化炭素膜が形成されていないのでシリコン酸化膜形成時の膜の剥がれを防止することが可能となった。

【0042】なお、リング状部材の材質に関しては、リングを使用しない従来の方法と同様に、プラズマの状態を変化させないために、絶縁材料を用いている。本発明では当該リング状部材111として石英及びアルミナを用い、同等の効果が得られた。また、リング状部材の内径に関しては、少なくとも静電チャックの直径よりも小さければ良いことが分かった。

【0043】なお、反応ガスの分解生成物あるいは反応生成物の大部分、例えば非晶質弗化炭素は、シリコンウエハー106上に堆積するが、一部はリング状111の部材、特に、当該リング状部材111の内側壁部に付着する。この非晶質弗化炭素膜は成膜処理が多数回繰り返され、それにつれて当該部材に堆積する被膜が厚くなり、次の成膜時のゴミとなるためにクリーニングする必要がある。

【0044】次にクリーニングに関して説明する。クリーニング工程は酸素雰囲気中でプラズマにリング状の部材111を晒して行う。その結果、当該リング状部材111の側壁部に堆積している非晶質弗化炭素膜は酸素と反応してエッチングされる。当該クリーニング工程が終了した後、次の成膜に移る。

【0045】このクリーニング工程において、該リング状の部材111を試料ホルダー107から、3cm程度の距離へ移動してから酸素雰囲気のプラズマに晒して行うことにより部材111下部に付着した炭素膜を除去できる。具体例としては、膜厚5000Åの非晶質弗化炭素膜を半導体ウエハー上に形成するCVDプロセスにおいては、ウエハー1枚成膜後に酸素流量200sccm、プラズマ電力3kW、圧力2mTorrで3分間クリーニングすることにより、リング状部材に付着した炭素膜を完全に除去することができた。

【0046】また一枚ごとにクリーニングを行わない場合、リング状部材からパーティクルが出現するのは、30回の成膜すなわち15ミクロンの非晶質弗化炭素膜を堆積させた場合に生じた。すなわち、この場合は成膜30回以内にクリーニングを行うことが望ましい。リングに付着した非晶質弗化炭素膜が完全に除去されるクリーニング時間は90分であった。

【0047】次に当該リング状部材111にテーバーをつけた場合の具体例について説明する。図3に示すように、外径で5mmの厚さとし、内径で厚みが0になるように、リング状部材111にあらかじめテーバーをつけた。この場合、クリーニング中に酸素プラズマに晒されるリング状部材111の断面積が広く取れ、クリーニング速度の遅い内径側面の面積をなくすることができるので効率よく除去が行われる。

【0048】従って、上記のような条件の下で膜厚50

00Åの非晶質弗化炭素膜を半導体ウエハー上に形成するCVDプロセスを多数の半導体ウエハーについて繰り返す場合、テーバーのないリング状の部材111ではクリーニング時間に3分を要したが、テーバーをつけた場合は、2分で非晶質弗化炭素膜が除去された。したがって、本具体例によれば、従来の方法に比して、リング状のリング状部材111のクリーニング時間が短くなることで、装置の単位時間当たり処理枚数を増加させることができる。なお、外側の側面に関しては、ウエハー外周よりも5cm外に位置し、当該部位に対する炭素膜の堆積は本具体例で用いたCVD装置では見られなかった。

【0049】つまり、本発明に於ける当該成膜処理は、CVDである事が望ましく、又当該炭素系層間膜は、フッ素含有炭素系層間膜である事も望ましい。更に、当該フッ素含有炭素系層間膜は、非晶質フッ化炭素系層間膜である事がより望ましい。然も、本発明に於いては、当該成膜処理は、少なくとも基板上に当該炭素系層間膜と当該炭素系層間膜に積層される絶縁膜とを形成する処理である事が好ましい。

【0050】又、上記した様に、本発明に於て使用される当該リング状部材は、少なくともクリーニング工程が実行される時点で、当該ホルダー部の表面に垂直な方向に移動可能である様に構成されている事が好ましい。次に、本発明に於ける他の具体例の構成に付いて説明する。つまり、係る具体例は、半導体の製造工程に於いて使用される、被処理基板に炭素系層間膜等を形成する為のチャンバーを含む成膜処理装置であって、当該成膜処理装置の当該チャンバー内には、少なくとも、当該被処理基板を保持するホルダー部、及び所定の反応ガスを当該チャンバー内に供給する為の反応ガス供給手段とが設けられており、当該ホルダー部は静電チャックで構成されており、且つ当該静電チャックの外周縁部に接続して、更に別の電極が設けられている事を特徴とする成膜処理装置1である。

【0051】本発明に係る上記具体例の構成を図4を参照しながら説明する。即ち、本具体例ではウエハー406表面にリング状の部材111がないのでクリーニングの工程が容易になる特徴を持っている。炭素系層間膜の成膜に用いる処理室内の試料406は、前記した具体例と同様の下部電極403および、静電チャック401を用いて設置される。

【0052】次に静電チャック401の外側にはSUS製の第2の電極402が設けられており、下部電極401とは別に高周波が印加可能になっている。当該第2の電極402は、下部電極を兼用する静電チャック401の外周に接し、電極の外周がウエハー端より、5mm外に出るようにした。そこに原料ガスをプラズマ生成室内に導入し、真空度を通常0.01~0.05トルに調節する。

【0053】ここでプラズマ生成用のアンテナに13.

56MHzの高周波を印加して放電させることで非晶質炭素膜を成膜する。非晶質炭素膜成膜時に、400kHzの電源を用いて、電力を電極402に印加することにより、電極部位に負のバイアス電圧を発生させる。その結果、第2の電極402に発生するバイアスにより局所的に加速された正イオンにより、被処理基板外周縁部の冷却されない部位が選択的にスパッタリングされる。

【0054】ここで、炭素膜の成膜速度とスパッタリング速度が同等かスパッタリング速度が高い場合、外周部で成膜は起こらず、リング状部材と同等の効果を得ることができる。本具体例では500Wの電力を電極402に印加することにより、ウエハ401端から6mmの部位の、非晶質炭素膜の成膜を防止することができた。

【0055】これによりその後のシリコン酸化膜形成時の膜剥がれを防止することができた。またウエハ成膜後SUS製電極に膜の堆積は見られず、またウエハ1000枚処理後も電極の劣化等は特に認められなかった。つまり、本発明に於けるダイオード2の具体例に於いては、静電チャックで構成される電極部を兼ねるホルダー部401とは別に電極を設け、当該別の電極には、バイアス電圧が印加されている様にしたものである。

【0056】次に、本発明に係る他の具体例の構成を図5と図7とを参照して詳細に説明する。図5は、前記した様に、各モジュール化された処理用真空容器がすべてCVD処理用反応容器であるマルチチャンバーシステムの一具体例の構成を示すものである。

【0057】即ち、本具体例に於いては、半導体の製造工程に於いて使用される、被処理基板に絶縁膜等を形成する為、当該被処理基板を保持するホルダー部及び所定の反応ガスを内部に供給する為の反応ガス供給手段とを含むチャンバーが少なくとも2個設けられているマルチチャンバー装置であって、当該第1のチャンバーは炭素系層間膜の成膜に用いられるものであり、又第2のチャンバーは、シリコン酸化膜もしくはシリコン窒化膜の成膜に用いられるものであり、且つ当該第2のチャンバーのプラズマ密度が、当該第1のチャンバーのプラズマ密度より低いことを特徴とする半導体の製造装置であって、例えば当該第1のチャンバー501に高密度プラズマ源が用いられると、少なくとも当該第2のチャンバー502に平行平板型プラズマ源が用いられる様に設定するものである。

【0058】本具体例に於て、搬送用チャンバー513に接続された非晶質炭素膜を成膜用の第1のチャンバー501と、少なくとも第2のチャンバー502にプラズマ密度が $5 \times 10^9 \text{ unit/cm}^3$ である平行平板型の成膜装置から構成され、真空系はインターロック514で分けられているマルチチャンバー方式の半導体装置の製造装置が示されている。

【0059】つまり、本具体例に於いては、非晶質炭素膜の成膜後に形成するシリコン酸化膜に用いる第2のチャンバー502のプラズマ密度が、非晶質炭素膜の成膜に用いる第1のチャンバー501のそれよりも低くする点に特徴がある。ここで、図7にシリコン酸化膜成膜時の、基板冷却を行わない場合の、プラズマ密度と基板温度との関係を示す。

【0060】プラズマ密度を $2 \times 10^{10} \text{ unit/cm}^3$ 以下にすることにより成膜工程における試料温度の上昇は、基板冷却を行わない場合でも400度以下に抑制できる。したがって、ウエハ外周部位の温度は400℃以上に上昇することはなく、非晶質炭素膜の分解は生じないので、膜剥がれを防止できた。なお、本具体例ではマルチチャンバー方式を用いているが、非晶質炭素膜の上部に堆積されるシリコン酸化膜あるいは、シリコン窒化膜堆積時の温度上昇が抑えられればよく、非晶質炭素膜を成膜する第1チャンバーとシリコン酸化膜を成膜する第2チャンバーが別々の装置であっても、適用可能なことは言うまでもない。

【0061】これらの装置を用いて、多層配線の一部に炭素膜を用いた、図8に示す従来例と同様の半導体装置を作成した。非晶質炭素膜がウエハ端部には堆積されないので、非晶質炭素膜成膜後のシリコン酸化膜成膜時にウエハ端部温度が上昇することによる膜剥がれなく、半導体装置を形成することができた。これにより従来生じていた装置内のパーティクル数を減少させることが可能となり、単位時間あたりのウエハ処理枚数を向上させ、さらに歩留まりを向上させることができた。

【0062】次に、図9乃至図11を参照しながら、本発明に係る半導体装置の製造方法の第2の具体例について説明する。即ち、本具体例は、前記した本発明に係る半導体装置製造方法の第1の具体例に於いては、エッチング方法を使用して配線を形成した例を示したものであるが、本具体例に於いては、第1配線層802をCMP (Chemical Mechanical Polishing) 方法を使用して形成する場合に於て、ウエハ端部で非晶質炭素膜を露出させないようにして製造する方法の具体例である。

【0063】まず図9(A)に示すように、基板803上に設けたシリコン酸化膜804の上に、C、F、等のフッ化炭素ガスを原料にして、プラズマ化学気相成長(CVD)により500nm程度の膜厚を有する炭素膜801を堆積させる。係る工程に於いては、上記した具体例に示すと同様に、当該リング部材を使用して当該ウエハの周縁部に炭素膜801が形成されない様に処理を行うものである。

【0064】続いて図9(B)に示すように、炭素膜801上に同様のプラズマCVDにより1ミクロン程度の膜厚を有するシリコン酸化膜804を堆積させる。その後、図9(C)に示すように、シリコン酸化膜804を

CMPにより100nm程度の厚さに薄膜化する。この工程において、ウェハーエッジ領域での酸化膜研磨レートは研磨圧力に依存して速くなる。ここで、ウェハー端部で酸化膜が研磨除去されると層間膜に剥がれが生じる。

【0065】尚、図11に炭素膜801が、ウェハーの全面に成長した場合のウェハーエッジにおける層間膜剥がれ幅とCMP条件との関係を実験の結果に基づいて示したものである。図11から理解される様に、CMP時の研磨圧力を3psi程度でもちいれば、ウェハー周辺

10の層間膜剥がれ領域幅は2.5mmである事が理解される。
【0066】ここで、本発明のリング状部材を用いてウェハー外縁周辺30mm幅の部分を覆うことにより、酸化膜エッチングレートの速い部分つまりウェハー外縁周辺部に炭素膜801が成膜されない様にすることによって、従来問題となっていた層間膜が剥がれないCMP処理が実現できる。続いて、図10(A)に示すように、図9(C)に示される半導体装置にレジスト808を塗布した後、通常のリソグラフィ技術とエッチング技術を用いて配線パターンを層間膜に形成する。

20【0067】その後、図10(B)に示すように、例えば、TiNを用いたバリアメタル809を膜厚が20nm程度となる様に形成し、続いて膜厚1ミクロン程度の銅からなる第1層配線金属802を成膜する。続いて、図10(C)に示すように、CMP方法を用いて銅からなる当該第1層配線金属802とTiNを用いたバリアメタル809を研磨して埋め込み型の第1配線層を形成する。

30【0068】以上説明した図9(A)から図10(C)の工程を繰り返すことにより、炭素膜801を有する銅を用いた多層配線構造が実現できる。また、本発明に係る更に別の具体例に於いては、リング状部材を用いずに、非晶質弗化炭素膜をウェハー端部まで成膜して、つぎにシリコン酸化膜もしくはシリコン窒化膜堆積にプラズマ密度の低い平行平板型のプラズマCVDを用いても同様の効果が得られた。

40【0069】つまり、当該具体例に於いては、半導体の製造工程に於いて使用される、被処理基板に絶縁膜等を形成する為、当該被処理基板を保持するホルダー部及び所定の反応ガスを内部に供給する為の反応ガス供給手段を含むチャンパーが少なくとも2個設けられているマルチチャンパー装置であって、当該第1のチャンパーは炭素系層間膜の成膜に用いられるものであり、又第2のチャンパーは、シリコン酸化膜もしくはシリコン窒化膜の成膜に用いられるものであり、当該第1のチャンパーに平行平板型プラズマ源が用いられると共に、当該第2のチャンパーにも平行平板型プラズマ源が用いられる様に構成されている半導体装置の製造装置である。

【0070】本発明に係る半導体装置の製造方法の一具体例としては、上記した説明より明らかな様に、例え

ば、被処理基板を保持するホルダー部及び所定の反応ガスを内部に供給する為の反応ガス供給手段を含むチャンパーを使用して、当該被処理基板に少なくとも炭素系層間膜等を形成する方法に於て、当該被処理基板に対して反応ガスを供給して炭素系層間膜等を形成するに際し、当該被処理基板の外周縁部に当該炭素系膜が成膜しない様にして成膜処理を行う事を基本的方法とするものであり、又、当該半導体の製造方法に於て、当該ホルダー部に保持されている当該被処理基板の外周縁部に当接するリング状部材を設け、当該リング状部材が、当該ホルダー部に搭載された該被処理基板をチャックする様に機能させ、当該リング状部材を、該反応ガスによる成膜処理が当該被処理基板に対して実行されている間、当該被処理基板の表面周縁部を同心円状に被覆する様にすることが望ましい。

【0071】更には、本具体例に於いては、当該被処理基板を保持している当該ホルダー部を静電チャックで構成すると共に当該静電チャックの外周縁部に接続して、更に別の電極を設け、当該別の電極にバイアス電圧を印加する様に構成する事も可能であり、別の具体例としては、層間絶縁膜として、少なくとも炭素系層間膜とシリコン酸化膜もしくはシリコン窒化膜を有する半導体装置を形成するための薄膜形成方法において、被処理シリコン基板上に炭素系絶縁膜を堆積させる領域が、シリコン酸化膜あるいはシリコン窒化膜を堆積させる領域よりも小さくなる様に構成するものであっても良い。

【0072】又、本発明に係る半導体の薄膜形成方法としては、層間絶縁膜として、少なくとも炭素系層間膜とシリコン酸化膜もしくはシリコン窒化膜を有する半導体装置を形成するための薄膜形成方法において、被処理シリコン基板上にシリコン酸化膜もしくはシリコン窒化膜を堆積するためのプラズマ源のプラズマ密度が、炭素系層間膜を堆積するプラズマ源よりも低いものを用いて成膜する様に構成する事も可能である。

【0073】

【発明の効果】以上述べた通り、本発明は、非晶質弗化炭素膜成膜装置において、周辺領域には非晶質弗化炭素膜が成膜されないような装置構成を提供するものであるか、もしくは成膜時の温度が非晶質弗化炭素膜の耐熱性を上回らないように構成された装置であり、当該本発明を用いれば、非晶質弗化炭素膜の分解に起因したウェハー外周での被膜片が剥がれるようなことはない。

50【0074】特に少なくとも、炭素系層間膜の成膜装置に処理室内の基板設置台に被処理基板を設置し、リング状の部材の内径が前記静電チャックの直径よりも小さいリング状の部材を用いて被処理基板表面周辺を覆い、基板の周縁の部分のある一定幅は成膜されず成膜範囲を限定する成膜処理装置であるか、または基板温度やバイアス印加を中央部と変えることにより基板のへの部分のある一定幅は成膜されないようにする成膜装置である。

【0075】もしくは、本発明に於いては、炭素系層間膜上に成膜するシリコン酸化膜もしくはシリコン窒化膜の成膜には、成膜基板温度が上昇しない、平行平板型のプラズマ成膜装置から構成される半導体装置の製造装置である。したがって、非晶質弗化炭素膜上に形成するシリコン酸化膜もしくはシリコン窒化膜形成において、非晶質弗化炭素膜の耐熱性を上回るような領域がウエハー面内に存在することをなくし、非晶質弗化炭素膜の分解が発生しない。

【0076】その結果、非晶質弗化炭素膜の分解で発生するCF系エッチングガスによる酸化膜の剥がれも抑制されて、ウエハー外周で容易に被膜が剥がれるようなことはない。また半導体装置の多層配線形成に本発明の半導体製造装置を用いることにより、周辺部剥がれのために従来生じていた装置内のパーティクル数を減少させることが可能となり、単位時間あたりのウエハー処理枚数を向上させ、さらに歩留まりを向上させることができた。

【図面の簡単な説明】

【図1】図1は、本発明に係る成膜処理装置の一具体例の構成を示す側面図である。

【図2】図2は、本発明に於ける成膜処理装置に於て使用されるホルダー部とリング状部材の構成の例を示す側面図である。

【図3】図3は、本発明に於ける成膜処理装置の一具体例に於て使用されるリング状部材の構成の他の例を示す側面図である。

【図4】図4は、本発明に係る成膜処理装置の他の具体例に於て使用されるホルダー部と電極の構成例を示す側面図である。

【図5】図5は、従来方法によるマルチチャンバー方式の半導体装置の成膜装置の例を示す側面図である。

【図6】図6は、従来による枚葉式CVD装置の全体構成を示す側面図である。

【図7】図7は、枚葉式CVD装置のプラズマ密度の基板温度依存性である。

【図8】図8は、本発明に於て得られる半導体装置に於ける炭素系絶縁膜およびシリコン酸化膜を用いた多層配線形成の概略図である。

【図9】図9は、本発明に係る半導体装置の製造方法の第2の具体例を説明する概略図である。

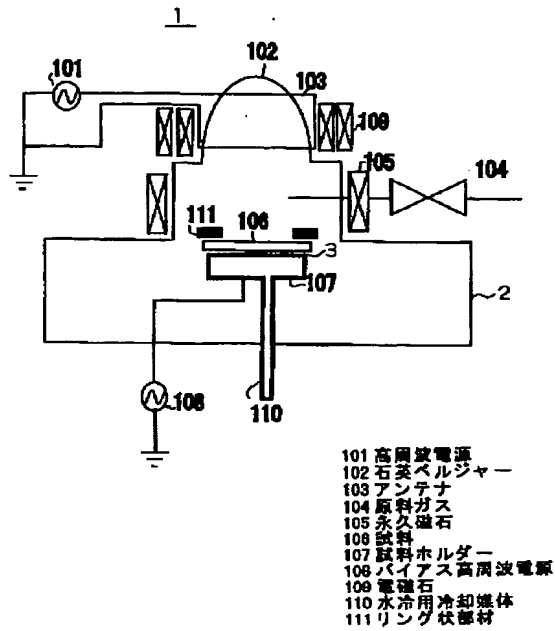
【図10】図10は、本発明に係る半導体装置の製造方法の第2の具体例を説明する概略図である。

【図11】図11は、CMP処理後に発生する炭素膜剥がれ幅のCMP研磨圧力依存性を示すグラフである。

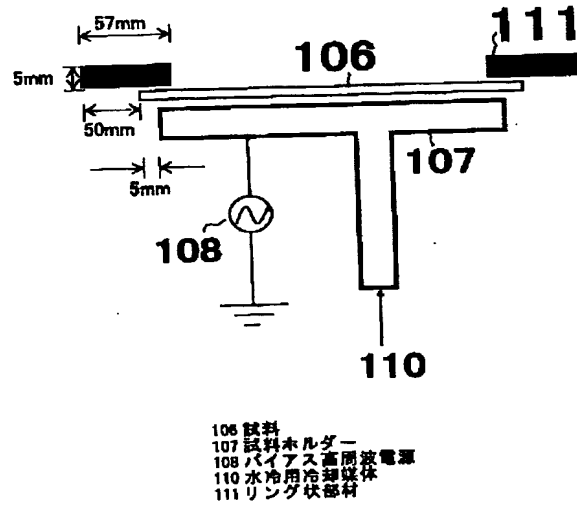
【符号の説明】

- 1…成膜処理装置
- 2…CVDチャンバー
- 3…被処理基板が搭載されるホルダー部の主面
- 101、601…高周波電源
- 102、602…石英ベルジャー
- 103、402、603…アンテナ
- 104、604…原料ガス
- 105、605…永久磁石
- 106、406、606…試料シリコンウエハー
- 107、507、607…試料ホルダー
- 108、608…バイアス高周波電源
- 109、609…電磁石
- 110、405、610…水冷用冷却媒体
- 111…リング上部材
- 401…試料ホルダー
- 402…第2の電極
- 403…バイアス高周波電源1
- 404…バイアス高周波電源2
- 501…第1のチャンバー
- 502…第2のチャンバー
- 513…搬送用チャンバー
- 514…インターロック
- 801…第1層配線金属
- 802…炭素膜
- 803…シリコン基板
- 804…シリコン酸化膜
- 805…プラグ
- 806…第2層配線金属
- 807…ビアホール
- 808…レジストマスク
- 809…バリアメタル

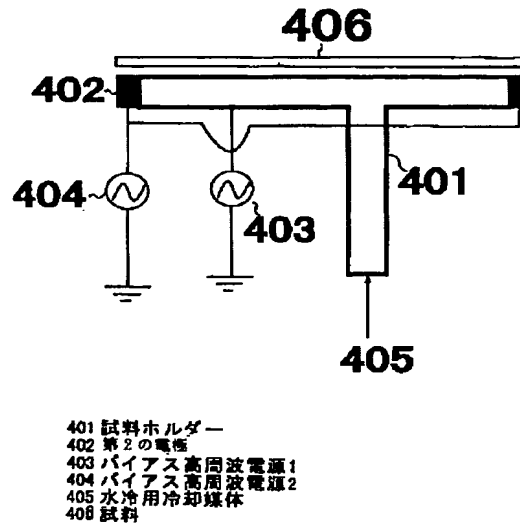
【図1】



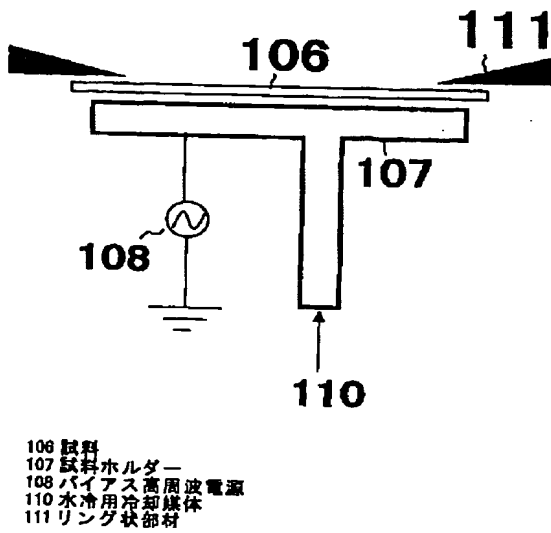
【図2】



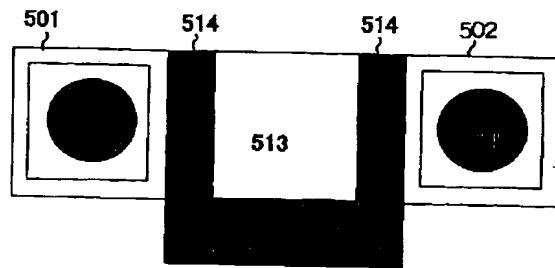
【図4】



【図3】

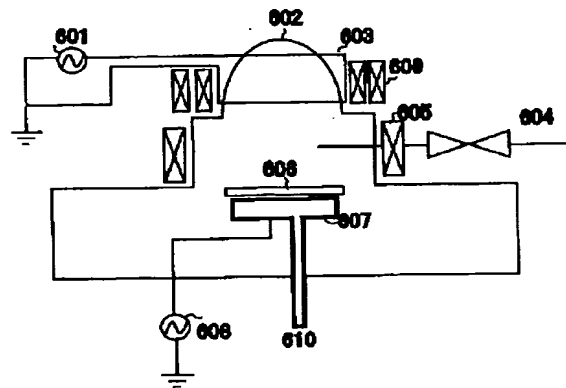


【図5】



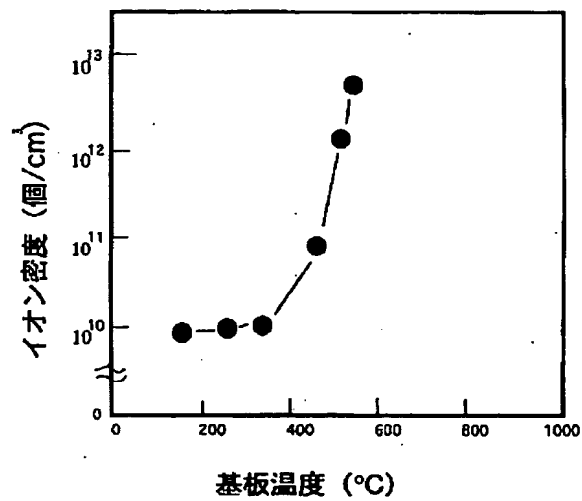
501 第1のチャンバー
502 第2のチャンバー
507 試料ホルダー
513 搬送用チャンバー
514 インターロック

【図6】

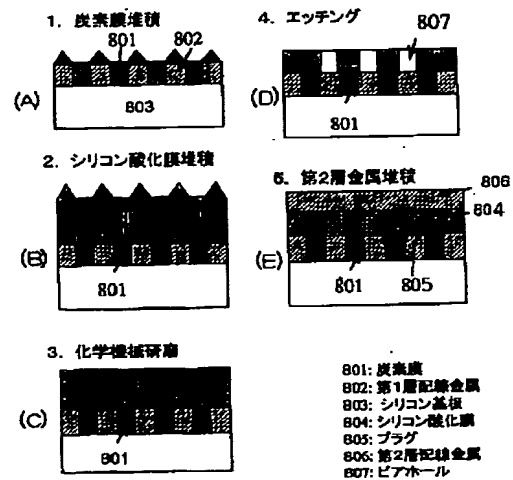


601 高周波電源
602 石英波導管
603 アンテナ
604 原料ガス
605 永久磁石
606 試料
607 試料ホルダー
608 バイアス高周波電源
609 電磁石
610 水冷用冷却媒体

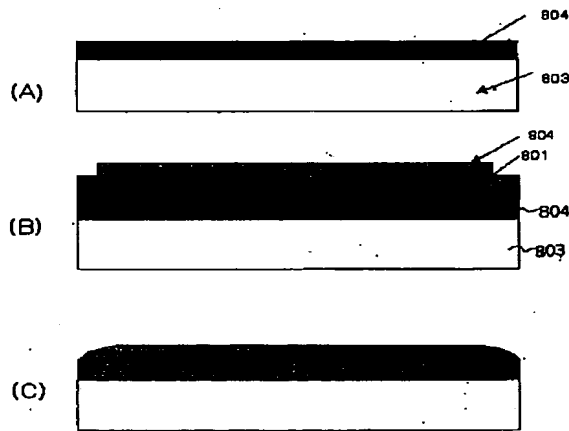
【図7】



【図8】

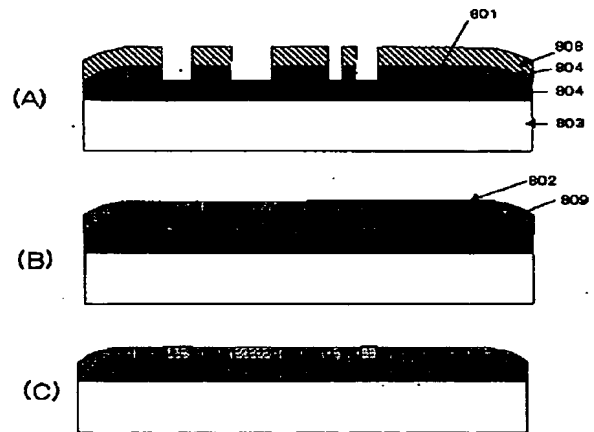


【図9】



801 炭素膜
802 第1層配線金属
803 シリコン基板
804 シリコン酸化膜
805 バリア 金属

【図10】



801 炭素膜
802 第1層配線金属
803 シリコン基板
804 シリコン酸化膜
805 レジストマスク
809 10/10メタル

【図11】

